⑲ 日本国特許庁（JP）　　⑪特許出願公開

⑫公開特許公報（A）　　昭57—133698

⑤Int. Cl.³　識別記号　庁内整理番号
H 05 K 3/46　6465—5F

㊸公開　昭和57年(1982)8月18日

発明の数　1
審査請求　未請求

（全7頁）

㊹セラミック多層回路

㉑特願　昭56—19239
㉒出願　昭56(1981)2月12日
㉒発明者　高野勇
東京都港区芝五丁目33番1号日本電気株式会社内
㉑出願人　日本電気株式会社
東京都港区芝5丁目33番1号
㉔代理人　弁理士　内原晋

明　細　書

発明の名称　セラミック多層回路

特許請求の範囲

セラミック基板の少なくとも一方の表面に印刷，蒸着，スパッタなどの手段により回路素子または回路パターンを形成したものを複数枚積層し能動素子や受動素子を搭載して成るセラミック多層回路において、前記セラミック基板として所定の厚さ，形状にあらかじめ焼成加工されたアルミナセラミック基板を用いると共に、能動素子や受動素子を搭載する第一層と、信号線路や電源線路を形成する一層もしくは数層の配線層との間に、充分な広さの面積をもつ接地電極層を少なくとも一層設けたことを特徴とするセラミック多層回路。

発明の詳細な説明

本発明は、セラミック基板を積層して成るセラミック多層回路、特に高速，高周波領域への適用を実現するセラミック多層回路に関するものである。

薄膜集積回路や厚膜集積回路といったハイブリッド集積回路実装技術は、コスト低減に有効な回路アセンブリ法として各分野で使用されている。一方、電気回路技術においては能動素子の能力向上により、その動作領域が年々高速，高周波領域へと進展してきており、このような高速回路に適したハイブリッド回路実装技術の必要性が高まっている。

従来の薄膜集積回路にあっては、多数の部品素子が1枚の絶縁基板上に形成もしくは搭載される構成法がとられており、部品素子相互間の接続個所の数が減少すること、使用する材料の種類が少なくて済むので材料相互間の接合不良による事故原因が少なくなること、同一材料からコンデンサや抵抗など異なった回路部品素子が得られること、各回路素子が絶縁基板上にはじめから分離して作られているので寄生効果がディスクリート回路に比べて少ないこと、素子が同一平面上に配置され

るので分布容量もディスクリット回路に比べてある程度少なくできることなどの特長を生かして各種の高周波回路，高速回路の実装に適用されている。

搭載されるトランジスタやダイオードなどは、通常ケース入りのものが使用されるが、回路の動作速度の一層の向上を行なうために、チップ状で使用されることも多い。

しかし、大容量のコンデンサ，インダクタンスなどの受動素子を薄膜化することは困難であり、また能動素子なども外付部品として搭載されるのが現状である。したがって、回路サイズの縮小化やパターン配置においてもかなりの制約は免れない。

第１図はＮＯＲゲート回路を用いてフリップフロップ回路を構成する場合の論理回路図、第２図は能動素子の一例として高速な電界効果トランジスタを用いて第１図のフリップフロップ回路を構成したときの回路構成図であり、高速回路の簡単な一例としてこのような回路を実装する場合を例にとって以下本発明を説明する。

第２図において、２１０，２２０，２３０および２４０は高速な電界効果トランジスタ、２５０および２６０は負荷抵抗である。２５０および２６０の負荷抵抗は、トランジスタを用いた能動負荷で構成される場合もある。

第３図は、第２図の高速な電界効果トランジスタを用いて構成したフリップフロップ回路を、従来の薄膜集積回路で実現した一構成例を示したものである。一般に、薄膜集積回路の絶縁基板としては、高純度のアルミナ・セラミック基板が用いられ、その基板上に薄膜抵抗や金属電極が任意のパターン配置で形成される。図において、３０１および３０２は導伝性の高い材料、例えばAuを絶縁基板上に蒸着して平面状に形成した接地電極である。３０３および３０４は、各々第２図における入力端２０３および２０４の入力端電極である。３０５および３０６は、第２図における出力端２０５および２０６の出力端電極である。３０８および３０９は第２図における電源V_{DD}２９０の電源供給電極、３５０および３６０は同じく負荷抵抗２５０および２６０である。また３５１および３６１は第２図におけるコンデンサを各々示す。通常、第２図における負荷抵抗２５０および260は、トランジスタの利得を十分に得るため例えば数KΩのような大きな値が用いられる。また、コンデンサも大きな容量値が用いられる。このようなRやCを薄膜回路で形成した場合、パターンサイズが大きくなり、回路全体のサイズにも関係するため、第３図のようなチップ状の抵抗器やコンデンサが一般的に用いられている。３１０，３２０，３３０および３４０は各々第２図のトランジスタ２１０，２２０，２３０および２４０に相当し、ペレット状の高速電界効果トランジスタである。３０５および３０６は第２図出力端２０５および２０６に相当する出力端電極である。３０７は、トランジスタ３２０への入力用ゲート端電極である。３１１，３１２，３１３および３１４はボンディングワイヤであり、各電極と電界効果トランジスタ３１０との接続を行なっている。ボンディングワイヤは、３２０，３３０および３４０の各トランジスタと各電極の接続にも用いている。

第２図に示すように、フリップフロップ回路の出力端２０６に現われる信号は、電界効果トランジスタ２３０へ各々正帰還する必要がある。したがって、第３図の薄膜集積回路において、電界効果トランジスタ３３０への帰還路パターンは、出力端電極３０５の延長パターンとして形成している。しかし、出力端電極３０６から電界効果トランジスタ３２０への帰還路パターンは、出力端電極３０５と交叉するためパターン形成を電極306と３０７とに分割し、相互の接続をボンディングワイヤ３３１によって行なわざるを得ない。

第４図は、第３図の薄膜集積回路におけるＸ－Ｘ′間の断面図を示した図である。４１０，420，４３０および４４０は電界効果トランジスタ、４０１および４０２は接地電極、４００は絶縁体基板（アルミナ・セラミック基板）、４０５および４０６は出力端電極パターンを各々示す。接地電極４０１および４０２は、正帰還路パターンを

るためにお互いに分離され、相互の導通はボンディングワイヤ４９０によって行なっている。

このように、薄膜集積回路では多数の部品素子が１枚の絶縁基板上に形成もしくは搭載ができるという利点がある一方、回路型式によっては接地電極が分離されてしまい接地が充分に行なわれない。また、信号路のクロスオーバーが行なえないために、外付接続個所の増加となり信頼性に問題を生じる。さらには回路形成を同一平面上に行なうために、回路サイズの縮小にも限界を生じ寄生インダクタンス，寄生容量等を一定限度以上減少させることが困難となるので、回路の動作速度の向上にも限界を生じるといった欠点がある。

このような薄膜集積回路における問題を改善する方法として、セラミック多層回路による実装方法が従来から知られている。その一例として３層セラミック多層回路の構成断面図を第５図に示す。図において、５０１は第１層絶縁体、５０２は第２層絶縁体、５０３は第３層絶縁体、５０４は接地導体、５０６は第２の層の表面電極、５１９は接地スルーホール、５０５および５０７は第３層の信号電極、５２７および５２５は第１層の信号導体、５１５および５１７は信号用スルーホールである。このようなセラミック多層回路には、印刷技術の適用が可能な厚膜回路が従来より使用されてきた。セラミック基板を多層化する技術には大きく分類すると、スクリーン印刷と焼成を交互に繰り返す逐次焼成法と、一度に焼成を行なう同時焼成法との二通りの方式がある。従来、最もよく使われている多層化法は逐次焼成法である。絶縁体としてはアルミナ・セラミック基板が用いられる。

逐次焼成法ではまず初めに、第１層のセラミック基板５０１上にインクで導体層５２７および５２５をスクリーン印刷し焼成する。次に、スルーホール用の穴開けをした第２層の絶縁体層502をスクリーン印刷し乾燥する。この工程を繰り返して５０１，５０２の層を焼成する。次に接地導体５０４を絶縁体層５０２上にスクリーン印刷し、スルーホール５１７および５１５の穴にも導体を詰める。そして焼成を行なう。次に、スルーホール用の穴開けを行なった第３層の絶縁体層５０３のスクリーン印刷を行ない５０５，５０６および５０７を絶縁体層５０３上にスクリーン印刷し、スルーホール５１５，５１６および５１７の穴にも導体を詰め焼成を行なう。最後に外付部品の搭載を行なって多層回路が完成する。

このようにして得られるセラミック厚膜多層回路は、層数を多くすることが容易なので高密度配線ができる。また絶縁体層と導体が高温で完全に焼結一体化されるため均質なセラミック構造となり熱放散性がよく、密着性は強固で配線接続の信頼性は高い等の特長がある。

しかし、通常このようなセラミック多層回路の各絶縁体層に用いられるセラミック材の厚さは、シート面が緻密・平滑で厚みが均一であること、焼成による反りなどの変形を生じないことなどを条件としているため、数１０μm~200μm程度のものが用いられている。したがって各層の素子、配線間の分布容量が増大し、回路の動作速度に限界を生じるという大きな欠点がある。またセラミック厚膜多層回路の製作段階においては、各層のマスタ製作，印刷，焼成といった工程があり、大量生産時には価格低下の期待はできるが、一方少量生産に対しては不向きである。

以上のように、従来のハイブリッド集積回路による実装方法のうち、薄膜集積回路は回路の形成を同一平面上に行なうため接地が充分にとれない、回路サイズが大となり寄生容量や寄生インダクタンスが増大、信号線路のクロスオーバ形成が不可能であるため接続個所の増大などの欠点があり、またセラミック厚膜多層回路は各絶縁体層の厚みが薄いため分布容量が増大するという欠点があった。

したがって、従来のハイブリッド集積回路実装技術では回路の動作速度の向上にある一定の限界があるという大きな問題があった。

本発明は、上記のような従来の欠点に鑑みてなされたものであり、従来の薄膜集積回路に用いら

れている所定の厚みのアルミナセラミック基板を複数枚接着積層し、全体を多層回路化することで回路の動作速度の向上，接続個所の低減による信頼性の向上を可能ならしめ、少量生産向，低価格なセラミック多層回路を提供することを目的としている。

本発明によれば、セラミック基板の少なくとも一方の表面に印刷，蒸着，スパッタなどの手段により回路素子または回路パターンを形成したものを複数枚積層し能動素子や受動素子を搭載して成るセラミック多層回路において、前記セラミック基板として所定の厚さ，形状にあらかじめ焼成加工されたアルミナセラミック基板を用いると共に、能動素子や受動素子を搭載する第一層と、信号線路や電源線路を形成する一層もしくは数層の配線層との間に、充分な広さの面積をもつ接地電極層を少なくとも一層設けたことを特徴とするセラミック多層回路が得られる。

このような本発明のセラミック多層回路が前記本発明の目的を充分に達成するのは当然であるが、その達成にも様々な態様がある。

例えば、セラミック多層回路の最上層に搭載される部品において、能動素子がパッケージ入のものを用いる態様も本発明の範囲であるが、最上層の回路素子を厚膜集積回路を用いて形成する実施態様もある。

以下、図面を参照しながら本発明について詳細な説明を行なう。

第６図は、本発明であるセラミック基板を複数枚接着積層して回路を構成した場合について、その平面図を示したものである。第６図のセラミック多層回路は、第３図に示した従来の薄膜集積回路と同一の回路、すなわち第２図のフリップフロップ回路を実現するものであるが、第６図においてはセラミック基板を３枚積層することにより、回路実装が簡単化されている。

第６図において、６０１は第１層セラミック基板、６０２は第２層のセラミック基板、６０３は第３層のセラミック基板である。この実施態様では、第１層６０１を電源供給線および信号線路、第２層６０２を接地電極、第３層６０３を部品搭載および信号線路に各々用い、各々の基板は薄膜回路化している。また各基板は、各々の信号が外部に取り出し易いように、大きさを変えて形成している。６１９および６４９は入力端電極、６０５および６０６は出力端電極、６０８および６０９は電源供給電極を各々示す。このような電極としては、通常導伝性の高い材料、例えばAu 等を絶縁基板上に蒸着して平面状に形成する。６５０および６６０は外付部品であるチップ状の抵抗器である。６１５，６２５，６３５および６４５は、各々トランジスタペレットを第２層基板６０２に搭載するための挿入穴である。この穴の径は、ペレットの増脱が行ない易い程度の寸法に加工すればよい。6291，6391，6051，6061，6081および6091は各々スルーホールである。6081および6091は各々第１層目の電源供給線6011にスルーホールを介して接続される。スルーホール6051は、第１層目の信号線路を介してゲート端電極６３９と導通している。また、スルーホール6061も同様にゲート端電極６２９と導通している。

第７図は、第６図におけるセラミック多層回路のＹ－Ｙ′間の断面図を示したものである。図において、7022は第２層基板7022に蒸着形成されている接地電極である。この接地電極7022は、スルーホール部分を除いては第２層基板７０２の全面に形成されているので接地電極として充分な広さをとることができる。電界効果トランジスタペレット７１０，７２０，７３０および７４０は、この接地電極7022上に各々搭載されている。また、電界効果トランジスタのソース電極は、ボンディングワイヤ７１１，７１３，７２１，７２３，７３１，７３３，７４１および７４３によって接地電極7022に接地されている。7011は第１層基板に形成された電源供給線路であり、第６図における第３層基板の電源供給電極６０８，６０９とスルーホールを介して各々導通している。7291，7391は第１層基板７０１上に形成された信号線路である。このように、下層基板においても信号

線路を形成することにより信号線路のクロスオーバーが可能となる。また、電源供給もスルーホールを介して行なっているため、従来の薄膜集積回路で行なっていたように線材を用いて電源配線をする必要がなくなり、接続個所が減少できる。さらにはスルーホールを用いることにより、回路サイズが小さくなるので寄生インダクタンスや寄生容量も減少する。

各層の絶縁基板７０１，７０２および７０３としては、従来の薄膜集積回路で通常用いられるアルミナセラミック基板（厚さ：約0.6㎜程度）を使用するので、従来の厚膜多層回路と比較すると各層間の間隔がはるかに大きく、各層回路間の分布容量が著しく減少する。積層の構成としては、能動素子や受動素子を搭載する第３層基板７０３と電源供給線路または信号線路を形成する第１層７０１との間に、充分な広さの面積を持つ接地電極を形成した接地電極層７０２を設けている。第７図は積層数が３層の実施例であるが、積層数を増やした場合においても同じように各配線層間には充分な広さの面積を持つ接地電極層を設ける。このような構成にすれば、従来の薄膜集積回路で生じていたような接地電極の分離がなく、接地が充分に行なえるため高周波特性が改善できる。

したがって、回路の動作速度の一層の向上が可能なセラミック多層回路が得られる。

本発明のセラミック多層回路を実現する方法としては、種々の構成方法があるが、第８図はその一例として第６図におけるセラミック多層回路の構成を各層毎に示したものである。第８図(1)は第１層基板、(2)は第２層基板、(3)は第３層基板のパターン形状を示したものである。本発明で用いる絶縁体基板は、従来の薄膜集積回路と同一のアルミナセラミック基板である。通常、このアルミナセラミック基板には導伝性の高い材料、例えばAuが蒸着されている。第８図の各図における斜線部分は、このAu 蒸着層を任意のパターン形状にエッチング形成したものである。この工程は、従来の薄膜回路と同様の工程で行なうことができる。第８図の第２層目基板(2)と第３層目基板(3)には、第１層目基板(1)の導体と導通を行なうためのスルーホール加工を施してある。このスルーホール加工に用いる穴開け工具としては、例えばダイヤモンドドリルのような硬材質のものを用いることにより、簡単に穴開けを行なうことができる。第８図(3)の穴８１５，８２５，８３５および８４５は、トランジスタペレットを第２層基板（第８図(2)）に搭載するために加工をした挿入穴である。この穴径は、用いるペレットのサイズに従って適切な大きさに開ければよい。スルーホール内の導通を行なうためには、導電材料の塗布が必要である。この導電材料は、例えば厚膜多層回路で用いられているような銀ペーストなどを用いることで可能となる。この場合、ある一定温度条件での焼結工程が必要である。セラミック基板各層を接着する場合には、目合わせが問題となるが、あらかじめ目合わせパターンを形成しておけば容易に接着を行なうことができる。接着するための接着剤には、例えばアルミナ粉末やガラス粉末を接着材料としたものなどを用いれば強固な接着効果が得られる。

このように本発明のセラミック多層回路を製作するための材料および製作工程は、従来の薄膜回路や厚膜多層回路の材料や工程を適用することができるため、低価格なセラミック多層回路が得られる。

以上に述べた実施例によれば、従来の薄膜集積回路において用いられているアルミナセラミック基板を複数枚接着積層し、多層化することで従来の厚膜多層回路と比べて各層間の分布容量を著しく低減できるので、回路の高速化が実現できる。一方、従来の薄膜集積回路と比べると回路サイズが小さくなるため、寄生インダクタンスや寄生容量が減少し、また接地面を充分にとることができるので高周波特性が改善できる。さらには信号線路などのクロスオーバーが可能なのでボンディングワイヤを用いた接続個所の削減となる。

したがって、従来の実装方法では実現の困難であった超高速回路に対しても安定に動作し、かつ信頼性の優れたセラミック多層回路が得られる。

これまでの説明において、外付部品である能動

素子はペレット状のトランジスタであったが、ケース入りのものであってもよい。さらに、最上層の基板は薄膜集積回路化された実施態様について説明を行なったが、厚膜回路によって形成されたものであってもよく、さらには配線部分のみでなく受動素子や能動素子が回路パターン自体によって形成されたものであってもよいことは当然である。また、多層化の積層数は3層について説明を行なったが、この層数に限定されるものではなく、必要に応じて増やしてもよい。

図面の簡単な説明

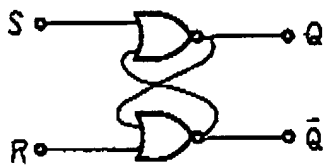
第1図はフリップフロップ回路を論理記号で表わした図、第2図は能動素子として電界効果トランジスタを用いてフリップフロップ回路を構成した回路図、第3図は従来の薄膜集積回路の構成を示した図、第4図は第3図に示した従来の薄膜集積回路の断面を示した図、第5図は従来のセラミック多層回路の断面図である。第6図は本発明のセラミック多層回路の構成を説明するために示した実施態様、第7図は第6図の断面を示した図、第8図は第6図の実施態様の各層の構成を説明するために示した図である。

なお図中の記号は、それぞれ次のものを示している。

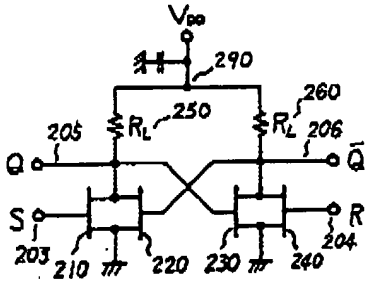
210，220，230，240，310，320，330，340，410，420，430，440，710，720，730，740…電界効果トランジスタ、203，204…入力端、205，206…負荷抵抗、250，260…出力端、290…電源V_{DD}、301，302，401，402，7022…アース接地電極、303，304，619，649…入力端電極、351，361…コンデンサ、311，312，313，314，390，391，331，490，711，713，721，723，731，733，741，743…ボンディングワイヤ、350，360，650，660…抵抗器、305，306，405，406，605，606…出力端電極、307，629，639…ゲート端電極、308，309，608，609…電源供給電極、400…アルミナセラミック基板、501…第1層絶縁体、502…第2層絶縁体、503…第3層絶縁体、504…アース接地導体、505，507…信号電極、527，525…信号導体、515，517，516，6051，6061，6081，6091…スルーホール、601，701…第1層セラミック基板、602，702…第2層セラミック基板、603，703…第3層セラミック基板、6011，7011…電源供給線、615，625，635，645，815，825，835，845…ペレット挿入穴。

代理人 弁理士 内原 晋

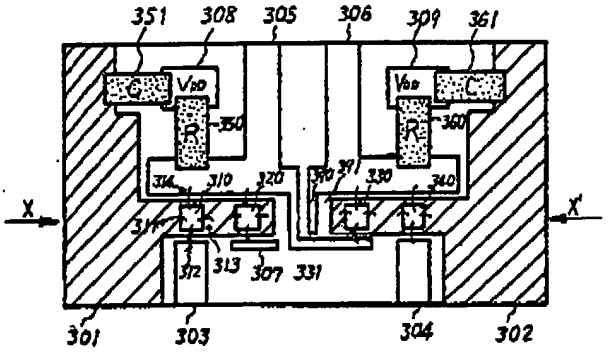
第1図



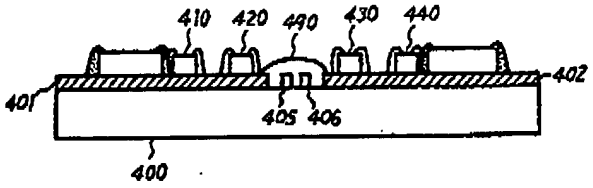
第2図



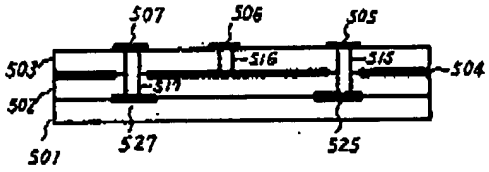
才 3 図



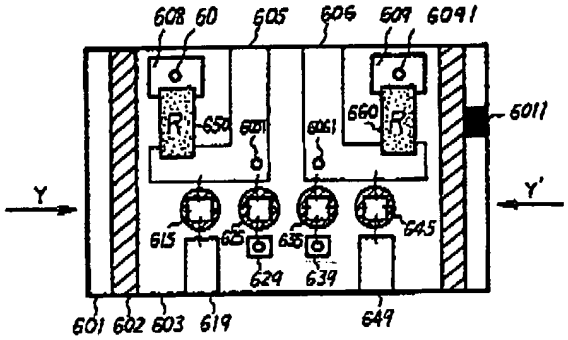
才 4 図



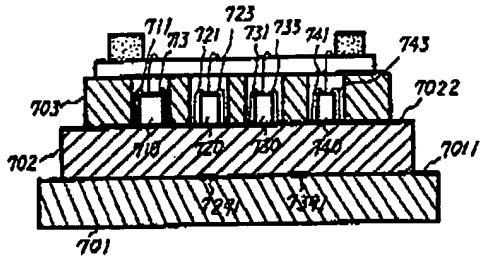
才 5 図



才 6 図

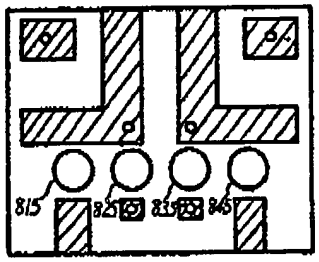


才 7 図

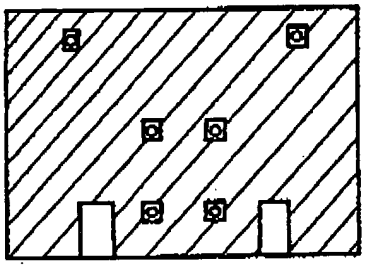


才 8 図

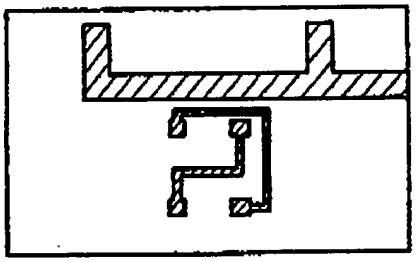
(1)



(2)



(3)



(19) Japanese Patent Office (JP)
(12) Publication of Laid-Open Patent Application (A)
(11) Publication Number of Patent Application:
57-133698
(43) Date of Publication Application:
August 18, 1982
(51) Int. Cl.^{3}: H 05 K 3/46
Identification Mark
JPO File Number: 6465-5F
Number of Claims: 1
Request for Examination: Not requested
Total 7 pages
(54) Ceramic Multilayer Circuit
(21) Application Number:
56-19239
(22) Date of Filing: February 12, 1981
(72) Inventor: Isamu TAKANO
c/o NEC Corporation
33-1, Shiba 5-chome, Minato-ku, Tokyo
(71) Applicant: NEC Corporation
33-1, Shiba 5-chome, Minato-ku, Tokyo
(74) Representative: Patent Attorney Shin UCHIHARA

Specification

Title of the Invention

Ceramic Multilayer Circuit

Scope of Claim

A ceramic multilayer circuit comprising an active element and a passive element mounted by laminating a plurality of ceramic substrates with a circuit element or a circuit pattern formed by printing, deposition, sputtering or the like on at least one of the surfaces of each ceramic substrate,
wherein an alumina ceramic substrate which is baked in advance with a predetermined thickness and shape is used as the ceramic substrate, and at least one ground electrode layer with large enough area is provided between a first layer mounting an active element and a passive element and one or a plurality of wiring layers forming a signal line and a power line.

Detailed Description of the Invention

The present invention relates to a ceramic multilayer circuit formed by laminating ceramic substrates, especially a ceramic multilayer circuit which realizes the application to a high speed and high frequency region.

A hybrid integrated circuit mounting technology such as a thin film integrated circuit and a thick film integrated circuit is used in various areas as a circuit assembly method effective for cost reduction. On the other hand, in an electrical circuit technology, the operation area has been progressing to a high speed and high frequency area year by year due to the improvement in ability of an active element, and the need of a hybrid circuit mounting technology suitable for such high speed circuit is growing.

As for the conventional thin film integrated circuit, a structure method in which many component elements are formed or mounted on one insulating substrate is used, and it is applied to the mounting of various high frequency circuits and high speed circuits, using characteristics as follows: the number of connection places between each component element is decreased; less kinds of materials used are necessary, so that accident causes due to poor connection between each material are reduced; different circuit component elements such as a condenser and a resistor can be obtained by the same material; circuit elements are formed separated from each other on an insulating substrate beforehand, so that the parasitic effect is smaller, compared to a discrete circuit; and elements are placed on the same plain surface, so that the distributed capacity can be smaller to some extent, compared to a discrete circuit.

As a transistor and a diode to be mounted, a one in a case is usually used. However, in order to further improve the operation speed of the circuit, it is often used in a chip form.

However, it is difficult to make a passive element such as a high-capacity condenser and diode as a thin film, and an active element or the like is mounted as an external component under the present circumstances. Therefore, considerable constraints are unavoidable for miniaturization of circuit size and pattern placement.

Fig. 1 is a logic circuit diagram of the case where a flip-flop circuit is structured using a NOR gate circuit, and Fig. 2 is a circuit block diagram of the case where the flip-flop circuit of Fig. 1 is structured using high speed field effect transistors as an example of active elements. The present invention will be described hereinafter, taking the case of mounting such circuit as a simple example of a high speed circuit.

In Fig. 2, numerals 210, 220, 230 and 240 are high speed field effect transistors, 250 and 260 are load resistors. The load resistors 250 and 260 may be structured by active loads using transistors.

Fig. 3 shows a structure example in which a flip-flop circuit structured using the high speed field effect transistor of Fig. 2 is realized by a conventional thin film integrated circuit. Generally, a high-purity alumina ceramic substrate is used as an insulating substrate of a thin film integrated circuit, and a thin film resistor and a metal electrode are formed on the substrate with a given pattern placement. In the figure, 301 and 302 are ground electrodes formed in a form of plain face by depositing a material with high conductivity, Au, for example, on the insulating substrate. Numerals 303 and 304 are input terminal electrodes of input terminals 203 and 204 in Fig. 2, respectively. Numerals 305 and 306 are output terminal electrodes of output terminals 205 and 206 in Fig. 2. Numerals 308 and 309 are electric supply electrodes of a power source V_{DD} 290 in Fig. 2, 350 and 360 are load resistors 250 and 260. In addition, 351 and 361 respectively show condensers in Fig. 2. Usually, large value such as several KΩ is used for the load resistors 250 and 260 in Fig. 2 to obtain benefits of the transistor well. Furthermore, large capacitance value is used for the condenser. In the case of forming such R and C in a thin film circuit, the pattern size becomes large, which affects the size of the whole circuit. Therefore, a resistor and a condenser in the form of chips as in Fig. 3 are generally used. Numerals 310, 320, 330 and 340 correspond to the transistors 210, 220, 230 and 240 in Fig. 2 respectively, and they are pellet form high speed field effect transistors. Numerals 305 and 306 are output terminal electrodes corresponding to the output terminals 205 and 206 in Fig. 2. Numeral 307 is a gate terminal electrode for input to the transistor 320. Numerals 311, 312, 313 and 314 are bonding wires, connecting each electrode and the field effect transistor 310. Bonding wires are also used for connection between each transistor 320, 330 and 340 and each electrode.

As shown in Fig. 2, it is necessary that signals which appear in the output terminal 206 of the flip-flop circuit positively return (positive feedback) to the field effect transistor 230 respectively. Therefore, in the thin film integrated circuit in Fig. 3, the feedback path pattern to the field effect transistor 330 is formed as an extension pattern of the output terminal electrode 305. However, as for the feed back path pattern from the output terminal electrode 306 to the field effect transistor 320, since it intersects with the output terminal electrode305, the pattern formation must be divided into electrodes 306 and 307, and the connection to each other must be performed by the bonding wire 331.

Fig. 4 is a diagram showing the cross-sectional view of X-X' of the thin film integrated circuit in Fig. 3. Numerals 410, 420, 430 and 440 are field effect transistors, 401 and 402 are ground electrodes, 400 is an insulator substrate (an alumina ceramic

substrate), 405 and 406 are output terminal electrode patterns, respectively. The ground electrodes 401 and 402 are separated from each other since the output terminals 405 and 406 forming positive feedback path patterns exist, and conduction between each other is performed by a bonding wire 490.

In this way, a thin film integrated circuit has an advantage that many component elements can be formed or mounted on one insulating substrate. However, on the other hand, the ground electrodes are separated, depending on the circuit type, so that grounding cannot be performed well. In addition, crossover of the signal line cannot be performed, and external connection places increases, which causes problems in reliability. Furthermore, since circuit formation is performed on the same plain surface, miniaturization of the circuit size is limited, and it becomes difficult to reduce parasitic inductance, parasitic capacity or the like over a certain degree, so that improvement in operation speed of the circuit is limited, which is a disadvantage.

As a method of improving such problems of a thin film integrated circuit, a packaging method using a ceramic multilayer circuit is conventionally known. As one of the examples, a structure cross-sectional view of a three-layer ceramic multilayer circuit is shown in Fig. 5. In the figure, 501 is a first layer insulator, 502 is a second layer insulator, 503 is a third layer insulator, 504 is a ground conductor, 506 is a ground electrode of the third layer, 516 is a ground through-hole, 505 and 507 are signal electrodes of the third layer, 527 and 525 are signal conductors of the first layer, 515 and 517 are through-holes for signal. For such ceramic multilayer circuit, mainly a thick film circuit to which a printing technique can be applied has been conventionally used. Largely categorized, there are two methods for making ceramic substrates multilayered. One is a sequential baking method in which screen printing and baking are repeated alternately, and the other is a simultaneous baking method in which baking is performed at a time. Conventionally, the multi-layering method which is used most often is the sequential baking method. As an insulator, an alumina ceramic substrate is used.

In the sequential baking method, first of all, conductor layers 527 and 525 are screen-printed on the ceramic substrate 501 as the first layer, and baked. Next, the insulator layer 502 as the second layer on which through-holes are opened is screen-printed and dried. This process is repeated and layers 501 and 502 are baked. Next, the ground conductor 504 is screen-printed on the insulator layer 502, and the through-holes 517 and 515 are filled with conductor. And then, baking is performed. Next, screen printing of the insulator layer 503 as the third layer on which through-holes are opened is performed, and 505, 506 and 507 are screen-printed on the insulator layer

503. Then, through-holes 515, 516 and 517 are filled with conductor and baking is performed. Lastly, external components are mounted so that a multilayer circuit is completed.

As for a ceramic thick film multilayer circuit obtained as the above, it is easy to increase the number of layers, so that high density wiring is possible. In addition, since the insulator layer and the conductor are sintered and united completely at a high temperature, a homogeneous ceramic structure is obtained, which brings characteristics such as excellence in heat dissipation, strong adhesiveness, and high reliability of wiring connection.

However, the thickness of the ceramic material used for each insulator layer of such ceramic multilayer circuit is usually around several 10 μm to 200 μm, since it is required that the sheet surface is dense and smooth, the thickness is uniform, deformation such as warpage due to baking does not occur, and the like. Therefore, elements of each layer and distributed capacity between wires are increased, and the operation speed of the circuit is limited, which is a big disadvantage. Furthermore, there are processes such as mask manufacture, printing, baking of each layer in the manufacturing stage of a ceramic thick film multilayer circuit, so price decline can be expected in the case of mass production, but on the other hand, it is unsuitable for small production.

As the above, of mounting methods using the conventional hybrid integrated circuit, a thin film integrated circuit has disadvantages such as: grounding cannot be obtained enough since circuits are formed on the same plain surface; the circuit size becomes large and parasitic capacity and parasitic inductance increase; connection places increase since formation of crossover of the signal line is impossible. As for a ceramic thick film multilayer circuit, the thickness of each insulator layer is thin, so that the distributed capacity is increased, which is a disadvantage.

Therefore, with the conventional hybrid integrated circuit mounting technology, there is a big problem that improvement in the operation speed of the circuit is limited to a certain level.

The present invention is made in view of the conventional disadvantages described above, and its object is to provide a low-cost ceramic multilayer circuit suitable for small production that enables improvement in the operation speed of the circuit and improvement in reliability by reducing connection places, by bonding and laminating a plurality of alumina ceramic substrates with predetermined thickness used for a conventional thin film integrated circuit.

According to the present invention, a ceramic multilayer circuit comprising an

active element and a passive element mounted by laminating a plurality of ceramic substrates with a circuit element or a circuit pattern formed by printing, deposition, sputtering or the like on at least one of the surfaces of each ceramic substrate, wherein an alumina ceramic substrate which is baked in advance with predetermined thickness and shape is used as the ceramic substrate, and at least one ground electrode layer with large enough area is provided between a first layer mounting an active element and a passive element and one or a plurality of wiring layers forming a signal line and a power line can be obtained.

It is only natural that the ceramic multilayer circuit of the present invention fully achieves the above-described object of the invention, and the achievement has various modes.

For example, a mode in which a component with an active element in a package is used as a component to be mounted on the top layer of the ceramic multilayer circuit is within the scope of the invention, and there is another embodiment in which a circuit element of the top layer is formed using a thick film integrated circuit.

Hereinafter, the invention will be described in detail, referring to drawings.

Fig. 6 is a plane view of the case where a circuit is structured by bonding and laminating a plurality of ceramic substrates as the invention. The ceramic multilayer circuit of Fig. 6 is to realize the same circuit as the conventional thin film integrated circuit shown in Fig. 3, that is, a flip-flop circuit in Fig. 2. However, in Fig. 6, by laminating three ceramic substrates, the circuit mounting is simplified.

In Fig. 6, 601 is a first layer ceramic substrate, 602 is a second layer ceramic substrate, and 603 is a third layer ceramic substrate. In this embodiment, the first layer 601 is used for a power supply line and a signal line, the second layer 602 is used for a ground electrode, and the third layer 603 is used for component mounting and a signal line, respectively, and each substrate is made as a thin film circuit. In addition, each substrate is formed with different size so that each signal is easily taken out to the outside. Numerals 619 and 649 are input terminal electrodes, 605 and 606 are output terminal electrodes, and 608 and 609 are power supply electrodes, respectively. As for such electrodes, they are usually formed by depositing a material with high conductivity, Au or the like, for example, on an insulating substrate, in the form of a plain face. Numerals 650 and 660 are resistors in the form of chips as external components. Numerals 615, 625, 635 and 645 are insertion holes for mounting transistor pellets on the second layer substrate 602. The diameter of the hole is formed to the size with which attaching and removing of the pellet is performed easily. Numerals 6291, 6391, 6051, 6061, 6081 and 6091 are through-holes. Numerals 6081 and 6091 are connected

to the first layer power supply line 6011 via through-holes, respectively. The through-hole 6051 has conduction to a gate terminal electrode 639 via the first layer signal line. In addition, the through-hole 6061 has conduction to a gate terminal electrode 629, in the same way.

Fig. 7 shows a cross-sectional view of Y-Y' of the ceramic multilayer circuit in Fig. 6. In the figure, 7022 is a ground electrode formed by deposition on a second layer substrate 7022. The ground electrode 7022 is formed all over the surface of the second layer substrate 702, except the trough-hole parts, so it has enough area as a ground electrode. Field effect transistor pellets 710, 720, 730 and 740 are respectively mounted on the ground electrode 7022. In addition, source electrodes of the field effect transistors are grounded to the ground electrode 7022 by bonding wires 711, 713, 721, 723, 731, 733, 741 and 743. Numeral 7011 is a power supply line formed on the first layer substrate, and has conduction to power supply electrodes 608 and 609 of the third layer substrate in Fig. 6 via through-holes respectively. Numerals 7291 and 7391 are signal lines formed on a first layer substrate 701. In this way, by forming signal lines on the under layer substrate, crossover of signal lines becomes possible. In addition, since power supply is performed via through-holes, electric power wiring is unnecessary, using a wiring rod, as is performed for the conventional thin film integrated circuit, so that connection places can be reduced. Furthermore, by using through-holes, the circuit size becomes smaller and parasitic inductance and parasitic capacity decrease.

Since alumina ceramic substrates (thickness: approximately 0.6 mm) which are usually used in the conventional thin film integrated circuit are used as the insulating substrates 701, 702 and 703 of each layer, spacing between each layer is much larger than that of the conventional thick film multilayer circuit, and distributed capacity between each layer circuit is dramatically decreased. As the structure of lamination, a ground electrode layer 702 on which a ground electrode with large enough area is formed is provided between the third layer substrate 703 mounting active elements and passive elements and the first layer 701 on which a power supply line or a signal line is formed. Fig. 7 is an embodiment of the case where the number of laminated layers is three, and in the case where the number of laminated layers is increased, a ground electrode layer with large enough area is provided between each wiring layer, in the same way as this. With such structure, there is no separation of the ground electrode which occurs in the conventional thin film integrated circuit, and grounding is performed well, so that high frequency characteristics are improved.

Therefore, a ceramic multilayer circuit with which further improvement in the

operation speed of the circuit can be obtained.

As a method to realize a ceramic multilayer circuit of the invention, there are various structuring methods, and Fig. 8 shows the structure of the ceramic multilayer circuit in Fig. 6 with respect to each layer, as one of the examples. Fig. 8 (1) shows the pattern formation of the first layer substrate, (2) that of the second layer substrate, and (3) that of the third layer substrate. The insulator substrates used in the invention are the same alumina ceramic substrates as the conventional thin film integrated circuit. Usually, a material with high conductivity such as Au is deposited on the alumina ceramic substrate. The shaded area in each figure of Fig. 8 is the Au deposited layer which is etched to be a given pattern formation. This process can be performed by the same process as the conventional thin film circuit. On the second layer substrate (2) and the third layer substrate (3) of Fig. 8, through-hole processing for conduction to a conductor of the first layer substrate (1) is performed. As a drilling tool used for the through-hole processing, by using a one with a hard material such as a diamond drill, drilling can be performed easily. Holes 815, 825, 835 and 845 of Fig. (3) are insertion holes processed so as to mount transistor pellets on the second layer substrate (Fig. 8 (2)). The hole diameter should be according to the size of the pellet used so that a hole with appropriate size is opened. In order to perform conduction in the through-holes, application of a conductive material is necessary. The conductive material becomes possible by using a silver paste or the like used for a thick film multilayer circuit, for example. In this case, a sintering process under a certain temperature condition is necessary. In the case of bonding each layer of the ceramic substrate, alignment presents a problem. However, when an alignment pattern is formed beforehand, bonding can be performed easily. As an adhesive for the bonding, when a one with alumina powder or glass powder as a boding material is used, for example, a strong bonding effect is obtained.

As the above, to the materials and manufacturing process for manufacturing the ceramic multilayer circuit of the invention, the materials and process of the conventional thin film circuit and thick film multilayer circuit can be applied, so that a low-cost ceramic multilayer circuit can be obtained.

According to the embodiment described above, distributed capacity between each layer can be dramatically reduced, compared to the conventional thick film multilayer circuit, by bonding and laminating a plurality of alumina ceramic substrates used in the conventional thin film integrated circuit so as to be multilayered, and higher speed operation of the circuit can be realized. On the other hand, the circuit size becomes smaller, compared to the conventional thin film integrated circuit, so that

parasitic inductance and parasitic capacity decrease, and a large enough ground plane can be obtained, which leads to improvement in high frequency characteristics. Furthermore, crossover of a signal line or the like is possible, so that connection places using a boding wire can be reduced.

Therefore, a ceramic multilayer circuit which is difficult to be realized by a conventional mounting method, that operates stably for an ultrahigh-speed circuit and has high reliability is obtained.

Although the active element as an external component is a transistor of a pellet form in the description above, a one in a case may be used as well. Furthermore, although the embodiment in which the substrate of the top layer is made as a thin film integrated circuit is described above, it is only natural that it may be a one formed of a thick film circuit, or a one with a passive element and an active element, not only the wiring part, formed of the circuit pattern itself. In addition, although the description is made for the case where the number of laminated layers of multi-layering is three, the invention is not limited to this number, and the number may be increased when needed.

Brief Description of Drawings

Fig. 1 is a diagram showing a flip-flop circuit by logic symbols, Fig. 2 is a circuit diagram in which a flip-flop circuit is structured using field effect transistors as active elements, Fig. 3 is a diagram showing the structure of a conventional thin film integrated circuit, Fig. 4 is a diagram showing a cross-section of the conventional thin film integrated circuit shown in Fig. 3, and Fig. 5 is a cross-sectional view of a conventional ceramic multilayer circuit. Fig. 6 is an embodiment shown for describing the structure of a ceramic multilayer circuit of the invention, Fig. 7 is a diagram showing a cross-section of Fig. 6, and Fig. 8 is a diagram shown for describing the structure of each layer of the embodiment of Fig. 6.

Symbols in the figures show the following things respectively.

210, 220, 230, 240, 310, 320, 330, 340, 410, 420, 430, 440, 710, 720, 730 and 740: field effect transistor

203 and 204: input terminal

205 and 206: load resistor

250 and 260: output terminal

290: power source V_{DD}

301, 302, 401, 402 and 7022: earth ground electrode

303, 304, 619 and 649: input terminal electrode

351 and 361: condenser

311, 312, 313, 314, 390, 391, 331, 490, 711, 713, 721, 723, 731, 733, 741, 743: bonding wire
350, 360, 650 and 660: resistor
305, 306, 405, 406, 605 and 606: output terminal electrode
307, 629 and 639: gate terminal electrode
308, 309, 608 and 609: power supply electrode
400: alumina ceramic substrate
501: first layer insulator
502: second layer insulator
503: third layer insulator
504: earth ground conductor
505 and 507: signal electrode
527 and 525: signal conductor
515, 517, 516, 6051, 6061, 6081 and 6091: through-hole
601 and 701: first layer ceramic substrate
602 and 702: second layer ceramic substrate
603 and 703: third layer ceramic substrate
6011 and 7011: power supply line
615, 625, 635, 645, 815, 825, 835 and 845: pellet insertion hole

Representative: Patent Attorney Shin UCHIHARA